

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

BUNDESREPUBLIK DEUTSCHLAND



Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

Aktenzeichen: 102 50 866.6
Anmeldetag: 31. Oktober 2002
Anmelder/Inhaber: Infineon Technologies AG,
München/DE
Bezeichnung: D-Flipflop
IPC: H 03 K 3/037

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 09. Oktober 2003
Deutsches Patent- und Markenamt
Der Präsident
Im Auftrag

Scholz



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Serial No.: 10/695,624

Filed: October 28, 2003

Confirmation No.: Unknown

For: D-TYPE FLIPFLOP

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Dear Sir:

www.pearsoned.com

Group Art Unit: Unknown

Examiner: Unknown

CERTIFICATE OF MAILING
37 CFR 1.8

I hereby certify that this correspondence is being deposited on 2-24-04 with the United States Postal Service as First Class Mail in an envelope addressed to: Commissioner for Patents, P.O. Box 1450 Alexandria, VA 22313-1450.


2-24-2004 _____
Date Signature

Applicant(s) reaffirm the claim for the benefit of filing date of the following foreign patent application referred to in Applicant's Declaration:

German Patent Application Serial Number 102 50 866.6-42 filed October 31, 2002.

A copy of the application certified by the German Patent Office is enclosed.

Respectfully submitted,



Gero G. McClellan
Registration No. 44,227
MOSER, PATTERSON & SHERIDAN, L.L.P.
3040 Post Oak Blvd. Suite 1500
Houston, TX 77056
Telephone: (713) 623-4844
Facsimile: (713) 623-4846
Agent for Applicant(s)

Beschreibung

D-Flipflop

- 5 Die Erfindung betrifft ein Flipflop, insbesondere ein D-Flipflop mit zwei komplementären Ausgängen, insbesondere für Hochfrequenzanwendungen.

10 D-Flipflops weisen einen Dateneingang auf, an den ein Datensignal angelegt wird, das mit Hilfe einer Taktflanke eines an einem Takteingang anliegenden Taktsignals, übernommen wird. Es weist darüber hinaus häufig zwei zueinander komplementäre Datenausgänge auf, einen nicht-invertierenden Datenausgang und einen invertierenden Datenausgang. An dem nicht-invertierenden Datenausgang liegt nach einer bestimmten Zeitdauer
15 das von dem Dateneingang übernommene Datum an. An dem invertierenden Datenausgang liegt das invertierte Datum an.

Herkömmliche D-Flipflops sind in zwei Teilen aufgebaut, dem
20 Master-Latch und dem Slave-Latch. Beide Latche weisen Rückkopplungsschleifen auf, die ein Halteelement bilden, in dem ein Datum gespeichert werden kann. Während das Datum an dem Dateneingang bei einem ersten Taktpegel in das Masterlatch übernommen wird, wird bei einem zweiten darauffolgenden Taktpegel das Datum von dem Slave-Latch aus dem Master-Latch
25 übernommen und dort auf gleiche Weise gespeichert. Ein aus der Rückkopplungsschleife des Slave-Latches ausgekoppeltes Signal dient als Ausgangssignal, das an einem der Datenausgänge angelegt wird, wobei das dazu komplementäre Signal,
30 durch Invertierung aus dem ausgekoppelten Signal mit Hilfe einer Inverterschaltung erzeugt wird.

Beide Ausgangssignale werde somit aus dem gleichen internen Signal innerhalb des Slave-Latches generiert, wobei sich eine
35 um einen Inverter unterschiedliche Pfadlänge für das Ausgangssignal ergibt. Das mithilfe des zusätzlichen Inverters generierte Ausgangssignal benötigt eine erhöhte Laufzeit, so

dass die komplementären Ausgangssignale zeitlich versetzt anliegen, wodurch die maximale Taktfrequenz, mit der das D-Flipflop betrieben werden kann, durch das langsamste Ausgangssignal begrenzt ist.

5

Insbesondere bei D-Flipflops mit Rücksetzfunktion ist die gesamte Laufzeit aufgrund der verwendeten Gatter im Slave-Latch größer.

10 Es ist Aufgabe der vorliegenden Erfindung, ein D-Flipflop für Hochfrequenzanwendungen zu schaffen, bei dem die Ausgangssignale an den komplementären Ausgängen in sehr kurzer Zeit und im Wesentlichen gleichzeitig anliegen.

15 Diese Aufgabe wird durch das Flipflop nach Patentanspruch 1 gelöst. Weitere vorteilhafte Ausgestaltungen der Erfindung sind in den abhängigen Ansprüchen angegeben.

Erfindungsgemäß ist ein Flipflop mit einem Takteingang zum
20 Anlegen eines Taktsignals, einem Dateneingang zum Anlegen eines Datensignals, einem nicht-invertierenden Ausgang und einem invertierenden Ausgang vorgesehen. Das Flipflop weist ein erstes Halteelement mit einer ersten Rückkopplungsschleife und ein zweites Halteelement mit einer zweiten Rückkopplungsschleife auf. Die erste und die zweite Rückkopplungsschleife weisen jeweils einen ersten Knoten und einen zweiten Knoten auf. Das erste Halteelement ist so gestaltet, dass mit einem ersten Taktpegel des Taktsignals der logische Wert des Datensignals in das erste Halteelement übernommen wird und
25 der logische Wert des Datensignals an den ersten Knoten der ersten Rückkopplungsschleife zur Verfügung gestellt wird. Der erste Knoten der ersten Rückkopplungsschleife ist mit dem ersten Knoten der zweiten Rückkopplungsschleife gekoppelt, um den an dem ersten Knoten der ersten Rückkopplungsschleife anliegenden Signalwert mit einem zweiten Taktpegel des Taktsignals in das zweite Halteelement zu übernehmen und den Signalwert an dem invertierenden Ausgang auszugeben. Der zweite
30
35

Knoten der ersten Rückkopplungsschleife ist mit dem zweiten Knoten der zweiten Rückkopplungsschleife gekoppelt, um den an dem zweiten Knoten der ersten Rückkopplungsschleife anliegenden invertierten Signalwert mit dem zweiten Taktpiegel des Taktsignals in das zweite Halteelement zu übernehmen. Der zweite Knoten der zweiten Rückkopplungsschleife entspricht dem nicht-invertierenden Ausgang und der erste Knoten der zweiten Rückkopplungsschleife dem invertierenden Ausgang.

- 10 Das erfindungsgemäße Flipflop weist also ebenso wie ein Flipflop nach dem Stand der Technik zwei Halteelemente auf, die in Reihe geschaltet sind. Im Unterschied zu dem Flipflop nach dem Stand der Technik sind die Halteelemente nicht durch eine Verbindung, sondern durch zwei Verbindungen miteinander gekoppelt, wobei im wesentlichen die ersten Knoten der ersten und zweiten Rückkopplungsschleife und die zweiten Knoten der ersten und zweiten Rückkopplungsschleife miteinander in Verbindung stehen. D.h. nachdem im ersten Halteelement durch Übernehmen des Datensignals die beiden Knoten der ersten Rückkopplungsschleife auf einen bestimmten Pegel eingestellt sind, werden durch einen weiteren darauffolgenden Taktpiegel des Taktsignals im wesentlichen gleichzeitig die Signalwerte der beiden Knoten der ersten Rückkopplungsschleife in das zweite Halteelement übernommen, so dass gleichzeitig der erste und der zweite Knoten der zweiten Rückkopplungsschleife durch die jeweiligen Signalwerte aus dem ersten Knoten und zweiten Knoten der ersten Rückkopplungsschleife festgelegt werden. Auf diese Weise entfällt beim Auslesen der Laufzeitunterschied beim Übernehmen der Signalwerte an den beiden Knoten der zweiten Rückkopplungsschleife.

Beim Stand der Technik entsteht der Laufzeitunterschied dadurch, dass in der zweiten Rückkopplungsschleife zunächst der Pegel des ersten Knoten und dann durch Invertierung der Pegel des zweiten Knotens der zweiten Rückkopplungsschleife gesetzt werden. Würden nun die komplementären Ausgänge an den beiden Knoten abgegriffen, so lägen bei dem zweiten Taktpiegel die

beiden komplementären Ausgangssignale mit einer zeitlichen Verzögerung an den Ausgängen an, die in etwa der Signallaufzeit durch das oder die Elemente in einem Rückkopplungszweig der zweiten Rückkopplungsschleife entspricht. Dies ist insbesondere bei Hochfrequenzanwendungen nachteilhaft.

Vorzugsweise sind die erste bzw. die zweite Rückkopplungsschleife gegengekoppelte Inverterschaltungen, wodurch sich auf einfache Weise eine Rückkopplungsschleife realisieren läßt.

Flipflops sind flankengesteuert. Vorzugsweise ist daher auch vorgesehen, dass eine durch den ersten Taktpegel und durch den zweiten Taktpegel gebildete erste Taktflanke bezüglich der zweiten Taktflanke entgegengesetzt verläuft, d.h. ist die erste Taktflanke eine fallende Flanke, so ist die zweite Taktflanke eine steigende Flanke des Taktsignals. In diesem Fall kann das Datum, dass an dem Dateneingang anliegt, innerhalb kurzer Zeit nach Anlegen der zweiten Taktflanke am Ausgang des Flipflops zur Verfügung gestellt werden.

Vorzugsweise ist vorgesehen, dass ein erster taktgesteuerter Inverter zum Übernehmen des Datensignals in das erste Halteelement vorgesehen ist, der bei einem ersten Taktpegel, d.h. nach der ersten Taktflanke, das Datensignal invertiert an die Rückkopplungsschleife durchläßt und bei einem zweiten Taktpegel, d.h. nach der zweiten Taktflanke, sperrt. Auf diese Weise kann das Datensignal zu definierten Zeitpunkten an die erste Rückkopplungsschleife weitergegeben werden, wodurch die erste Rückkopplungsschleife „programmiert“ wird.

Es kann weiterhin vorgesehen sein, dass die ersten Knoten der beiden Rückkopplungsschleifen und die zweiten Knoten der Rückkopplungsschleifen jeweils über zweite taktgesteuerte Inverter gekoppelt sind, die durch den Wechsel auf den zweiten Taktpegel den jeweiligen Signalwert invertiert an die entsprechenden Knoten der zweiten Rückkopplungsschleife durch-

lassen und bei dem ersten Taktpegel sperren. Auf diese Weise wird gewährleistet, dass der in dem ersten Halteelement gespeicherte Signalwert erst mit dem zweiten Teil des Taktzykluses in das zweite Halteelement übernommen wird.

5

Es kann weiterhin vorgesehen sein, dass ein Rücksetzeingang vorgesehen ist, an dem ein Rücksetzsignal anlegbar ist. Die zweite Rückkopplungsschleife weist ein Nicht-Oder-Gatter auf, an dessen einem Eingang das Rücksetzsignal angelegt ist. Auf diese Weise lässt sich unabhängig von dem Taktsignal der Ausgang des Flipflops zurücksetzen. Es kann auch vorgesehen sein, dass die zweite Rückkopplungsschleife ein Nicht-Und-Gatter aufweist, an dessen einem Eingang das Rücksetzsignal angelegt ist.

10

15

Das Nicht-Oder-Gatter bzw. das Nicht-Und-Gatter können partiell getaktet sein, d.h. bezüglich des speichernden bzw. auszugebenden Signalwertes ist die Funktion des Gatters vom jeweiligen Taktpegel abhängig, während der Eingang des Gatters, an dem das Rücksetzsignal anliegt, unabhängig vom Takt den Ausgang des jeweiligen Gatters auf den durch das Rücksetzsignal bestimmten Wert legt. Dies hat den Vorteil, dass das Rücksetzsignal sofort und unabhängig vom Taktsignal ein Rücksetzen der komplementären Ausgänge des Flipflops bewirkt.

20

25

Vorzugsweise ist vorgesehen, dass der erste Knoten der ersten Rückkopplungsschleife und der erste Knoten der zweiten Rückkopplungsschleife und/oder der zweite Knoten der ersten Rückkopplungsschleife und der zweite Knoten der zweiten Rückkopplungsschleife zusätzlich über ein Transmissionsgatter gekoppelt sind. Es ist vorteilhaft, zwischen erstem und zweitem Halteelement ein Transmissionsgatter vorzusehen, weil dadurch eine Signalverzögerung erreicht werden kann, um bei einem zu langsam von der Invertierungsfunktion zur sperrenden Funktion schaltenden zweiten taktgesteuerten Inverter ein Durchgehen des Datensignals durch das erste Halteelement auf das zweite Halteelement bereits bei dem ersten Taktpegel zu vermeiden.

30

35

Dies stellt eine Maßnahme dar, um bei schlecht dimensionierten Bauteilen ein Durchschalten des angelegten Datensignals in die zweite Rückkopplungsschleife bereits bei dem Wechsel
5 von dem zweiten auf den ersten Taktpegel zu vermeiden.

Weiterhin kann vorgesehen sein, dass die erste Rückkopplungsschleife ein Nicht-Oder-Gatter aufweist, so dass am ersten Knoten eine logische „0“ und am zweiten Knoten bei Invertierung durch den entsprechenden taktgesteuerten Inverter eine
10 logische „1“ anliegt, sobald ein Rücksetzsignal aktiviert ist. Zwischen dem zweiten Knoten und dem ersten Knoten der ersten Rückkopplungsschleife ist eine Entkopplungsschaltung angeordnet, um bei einem aktivierten Rücksetzsignal den zweiten Knoten der ersten Rückkopplungsschleife vom zweiten Knoten der zweiten Rückkopplungsschleife zu trennen und eine logische „0“ an den ersten Knoten der zweiten Rückkopplungsschleife anzulegen. Vorzugsweise weist die Entkoppelschaltungen einen Inverter und/oder ein durch das Rücksetzsignal
15 schaltbares Transmissionsgatter auf. Diese Entkopplungsschaltung bewirkt, dass bei einem angelegten Rücksetzsignal das anliegende Datensignal, das einen Signalwert am zweiten Knoten der ersten Rückkopplungsschleife hervorruft, bei der zweiten Taktflanke keine gleichen Signalwerte an den beiden
20 Knoten der zweiten Rückkopplungsschleife bewirkt. Gleiche Zustände an den Knoten der zweiten Rückkopplungsschleife führen zu einem instabilen Zustand.

Bevorzugte Ausführungsformen der Erfindung werden im folgenden anhand der beigefügten Zeichnungen näher erläutert.
30 Es zeigen:

Fig. 1 ein herkömmliches D-Flipflop mit zwei komplementären Ausgängen;

35

Fig. 2 ein D-Flipflop mit zwei komplementären Ausgängen und Rücksetzfunktionen nach dem Stand der Technik;

Fig. 3 ein D-Flipflop mit zwei komplementären Ausgängen gemäß einer ersten Ausführungsform der Erfindung;

5 Fig. 4 ein D-Flipflop mit zwei komplementären Ausgängen, Rücksetzfunktion gemäß einer zweiten Ausführungsform der Erfindung;

10 Fig. 5 ein D-Flipflop gemäß der Ausführungsform nach Fig. 4 mit einem detaillierten Schaltbild eines partiell taktgesteuerten Nicht-Oder-Gatters und eines partiell taktgesteuerten Nicht-Und-Gatters;

15 Fig. 6 ein D-Flipflop mit Rücksetzfunktion mit reduzierten Pullup-Zweigen der Rückkopplungsschleife im Slave-Latch;

Fig. 7 ein D-Flipflop mit zwei komplementären Ausgängen und einer Verzögerungsschaltung gemäß einer dritten Ausführungsform der Erfindung; und

20

Fig. 8 ein D-Flipflop mit einer Entkopplungsschaltung gemäß einer vierten Ausführungsform der Erfindung.

25 Gleiche Bezugszeichen entsprechen gleichen Bauteilen vergleichbarer Funktion.

30 In Fig. 1 ist ein D-Flipflop nach dem Stand der Technik dargestellt. Es weist ein erstes Halteelement 1 und ein zweites Halteelement 2 auf. Das erste Halteelement ist über einen Takteingang 4 und einen Dateneingang 3 ansteuerbar. An den Takteingang 4 wird ein Taktsignal CLK und an den Dateneingang ein Datensignal D angelegt.

35 Das erste Halteelement 1 weist einen ersten taktgesteuerten Inverter 5 auf. An den Eingang des ersten taktgesteuerten Inverters 5 ist das Datensignal D angelegt. Der erste taktgesteuerte Inverter 5 weist einen Takteingang auf, an den das

Taktsignal CLK angelegt ist. Ein taktgesteuerter Inverter ist üblicherweise so gestaltet, dass das an seinem Signaleingang anliegende Signal invertiert an den Ausgang ausgegeben wird, wenn das Taktsignal CLK an seinem Takteingang einen Low-Pegel angenommen hat. Hat das Taktsignal CLK an den Takteingang des taktgesteuerten Inverters einen High-Pegel angenommen, so sperrt der taktgesteuerte Inverter.

Der Ausgang des ersten taktgesteuerten Inverters 5 ist mit einer Rückkopplungsschleife 6 verbunden. Die Rückkopplungsschleife 6 weist einen zweiten taktgesteuerten Inverter 7 und einen nicht-taktgesteuerten dritten Inverter 8 auf. Der zweite taktgesteuerte Inverter 7 ist mit seinem Takteingang mit einem invertierten Taktsignal /CLK verbunden, so dass der zweite taktgesteuerte Inverter 7 im wesentlichen im Wechsel mit dem ersten taktgesteuerten Inverter 5 geschaltet ist. D.h. invertiert der erste taktgesteuerte Inverter 5, so sperrt der zweite taktgesteuerte Inverter 7, und umgekehrt.

Der Ausgang des ersten taktgesteuerten Inverters 5 ist mit einem Eingang des dritten Inverters 8 verbunden und bildet einen zweiten Knoten K2. Ein Ausgang des dritten Inverters 8 ist mit einem Signaleingang des zweiten taktgesteuerten Inverters 7 verbunden und stellt einen ersten Knoten K1 dar. Ein Signalausgang des zweiten taktgesteuerten Inverters 7 ist mit dem zweiten Knoten, d.h. mit dem Signaleingang des dritten Inverters 8 verbunden.

Auf diese Weise bilden der zweite taktgesteuerte Inverter 7 und der dritte Inverter 8 die Rückkopplungsschleife 6 mit dem ersten Knoten K1 an dem Ausgang des dritten Inverters 8 und dem zweiten Knoten K2 an dem Ausgang des zweiten taktgesteuerten Inverters 7. Die Rückkopplungsschleife 6 ist also so ausgestaltet, dass an dem ersten und zweiten Knoten K1, K2 jeweils invertierte Signalwerte anliegen, die bei dem High-Pegel des Taktsignals CLK jeweils gehalten werden.

Wird ein zu speicherndes Signal als Datensignal D am Dateneingang 3 angelegt, so wird bei einem niedrigen Taktpiegel des Taktsignals CLK der Signalwert des Datensignals D in das erste Halteelement 1 übernommen. Dazu liegt zunächst durch die
5 Invertierung durch den ersten taktgesteuerten Inverter 5 an dem zweiten Knoten K2 das invertierte Datensignal und somit an dem ersten Knoten K1 das nicht-invertierte Datensignal an.

An dem Takteingang des zweiten taktgesteuerten Inverters 7
10 liegt ein invertiertes Taktsignal /CLK an. Da der zweite taktgesteuerte Inverter 7 somit bei einem Low-Zustand des Taktsignals CLK gesperrt geschaltet ist und nur bei einem High-Zustand des Taktsignals CLK das anliegende Eingangssignal invertiert, ist die Rückkopplungsschleife zunächst deaktiviert.
15 Erst wenn das Taktsignal CLK von einem Low-Zustand in den High-Zustand übergeht, tritt der zweite taktgesteuerte Inverter 7 in Funktion und invertiert den an dem Knoten K1 anliegenden Signalwert und gibt den invertierten Signalwert an den zweiten Knoten K2 weiter. Somit ist die Rückkopplungsschleife 6 aktiv und hält das zuvor hineingeschriebene Datum.
20 Gleichzeitig wird, wenn das Taktsignal CLK einen High-Zustand angenommen hat, der erste taktgesteuerte Inverter 5 deaktiviert, so dass durch eine eventuelle Signaländerung am Dateneingang 3 das gespeicherte Datum im ersten Halteelement 1 unbeeinflusst bleibt.
25

Das zweite Halteelement 2 des D-Flipflops ist im wesentlichen identisch aufgebaut wie das erste Halteelement 1. Der in dem ersten Halteelement 1 gespeicherte Datenwert wird an dem ersten Knoten K1 abgegriffen und einem Eingang eines vierten taktgesteuerten Inverters 9 zugeführt. Der Signalausgang des vierten taktgesteuerten Inverters 9 ist mit einer zweiten Rückkopplungsschleife 10 verbunden. An einem Takteingang des vierten taktgesteuerten Inverters 9 liegt das invertierte
30 Taktsignal /CLK an. Auf diese Weise ist der erste Knoten K1 über den taktgesteuerten Inverter 9 mit der zweiten Rückkopplungsschleife 10 gekoppelt.
35

Die zweite Rückkopplungsschleife 10 weist einen fünften taktgesteuerten Inverter 11 und einen sechsten Inverter 12, der nicht taktgesteuert ist, auf. Der Ausgang des vierten taktgesteuerten Inverters 9 ist mit einem Signaleingang des sechsten Inverters 12 verbunden. Ein Signalausgang des sechsten Inverters 12 ist mit einem Signaleingang des fünften taktgesteuerten Inverters 11 verbunden. Ein Signalausgang des fünften taktgesteuerten Inverters 11 ist mit dem Signaleingang des sechsten Inverters 12 verbunden. Der Signaleingang des sechsten Inverters 12 stellt einen vierten Knoten K4 und der Signalausgang des sechsten Inverters 12 einen dritten Knoten K3 dar.

An dem dritten Knoten K3 liegt also kurz nach der steigenden Flanke des Taktsignals CLK der Signalwert des Datensignals, das an das Flipflop angelegt worden ist, an. An dem vierten Knoten K4 liegt somit der dazu invertierte Signalwert an. Um die zweite Rückkopplungsschleife 10 möglichst von der nachfolgenden Schaltung zu entkoppeln, sind Ausgangstreiber in Form eines siebten Inverters 13 und eines achten Inverters 14 vorgesehen. Der siebte Inverter 13 ist mit seinem Signaleingang mit dem dritten Knoten K3 verbunden. Sein Signalausgang stellt dann das invertierte Ausgangssignal QN dar. Der achte Inverter 14 ist mit seinem Signaleingang mit dem vierten Knoten K4 verbunden und sein Signalausgang stellt das nicht-invertierte Ausgangssignal Q dar.

Das zuvor beschriebene Flipflop gemäß dem Stand der Technik hat den Nachteil, dass die Signale, d.h. das nicht-invertierte Ausgangssignal Q und das invertierte Ausgangssignal QN nicht gleichzeitig an den jeweiligen Signalausgängen des siebten bzw. des achten Inverters 13, 14 zur Verfügung gestellt werden kann. Die Signallaufzeit für das invertierte Ausgangssignal QN am Ausgang des siebten Inverters 13 nämlich größer als die Signallaufzeit für das nicht-invertierte Ausgangssignal Q am Ausgang des achten Inverters 14. Dies liegt

darán, dass durch die steigende Flanke des Taktsignals CLK nach dem Aktivieren des vierten taktgesteuerten Inverters 9 das entsprechende Signal am nicht-invertierten Signalausgang Q bereits nach der Signallaufzeit durch den achten Inverter 14 anliegt, während das invertierte Ausgangssignal QN nach den Signallaufzeiten durch den sechsten Inverter 12 und den siebten Inverter 13 am entsprechenden Signalausgang anliegt.

In Fig. 2 ist ein D-Flipflop dargestellt, das mit Hilfe eines asynchronen Rücksetzsignals R rücksetzbar ist, so dass an dem nicht-invertierten Ausgang ein Signalwert von „0“ und an dem invertierten Ausgang ein Signalwert von „1“ anliegt. Das Rücksetzsignal ist in der gezeigten Ausführungsform ein Low-active-Signal, so dass ein Rücksetzen erfolgt, wenn das Rücksetzsignal einen Low-Pegel angenommen hat.

Das D-Flipflop weist ein drittes Halteelement 1a und ein viertes Halteelement 2a auf. Im wesentlichen unterscheidet sich die Schaltung gemäß Fig. 2 von der in Fig. 1 dargestellten dadurch, dass der dritte Inverter 8 im dritten Halteelement 1a durch ein Nicht-Oder-Gatter 22 ersetzt ist. Ein erster Signaleingang des Nicht-Oder-Gatters 22 ist mit dem zweiten Knoten K2 und ein zweiter Signaleingang des Nicht-Oder-Gatters 22 ist mit dem invertierten Rücksetzsignal /R verbunden. Der Ausgang des Nicht-Oder-Gatters 22 ist mit dem ersten Knoten K1 und dem Signaleingang des vierten taktgesteuerten Inverters 9 des vierten Halteelements 2a verbunden.

Auf gleiche Weise ist im vierten Halteelement 2a der sechste Inverter 12 durch ein zweites Nicht-Oder-Gatter 16 ersetzt. Ein erster Signaleingang des zweiten Nicht-Oder-Gatters 16 ist mit dem vierten Knoten K4, und ein zweiter Signaleingang des zweiten Nicht-Oder-Gatters 16 ist mit dem invertierten Rücksetzsignal /R (Low-active) verbunden. Ein Signalausgang des zweiten Nicht-Oder-Gatters 16 ist mit dem dritten Knoten K3 verbunden.

Die Funktionsweise des ersten Nicht-Oder-Gatters 22 und des zweiten Nicht-Oder-Gatters 16 besteht darin, dass bei Anliegen eines Rücksetzsignals R, das ein Zurücksetzen des Flipflops anweist, der erste Knoten K1 und der dritte Knoten K3 unverzüglich auf „0“ gesetzt wird, d.h. unabhängig von dem anliegenden Taktsignal CLK. Da auch in dieser Schaltung die beiden Ausgangssignale aus dem vierten Halteelement 2a entnommen werden, existiert auch dort eine zeitliche Verzögerung zwischen dem Anliegen des nicht-invertierten und invertierten Ausgangssignales an dem nicht-invertierten Ausgang Q und dem invertierten Ausgang QN.

In Fig. 3 ist ein D-Flipflop gemäß einer ersten Ausführungsform der vorliegenden Erfindung dargestellt. Gleiche Bezugszeichen entsprechen im folgenden im wesentlichen gleichen Elementen. Während ein fünftes Halteelement 1b des erfindungsgemäßen Flipflops im wesentlichen dem ersten Halteelement 1 gemäß dem Stand der Technik entspricht, weist ein sechstes Halteelement 2b einen weiteren neunten taktgesteuerten Inverter auf. Der sechste Inverter 12 ist als taktgesteuerter sechster Inverter 12' ausgeführt. Zusätzlich zu der Kopplung des ersten Knoten K1 mit dem vierten Knoten K4 über den vierten taktgesteuerten Inverter 9 sind der zweite Knoten K2 und der dritte Knoten K3 der ersten und zweiten Rückkopplungsschleife über einen zusätzlichen neunten taktgesteuerten Inverter 15, an dessen Takteingang das invertierte Taktsignal /CLK anliegt, miteinander gekoppelt. Die Kopplung erfolgt über den vierten taktgesteuerten und den neunten taktgesteuerten Inverter 9, 15, so dass abhängig von dem an dem ersten und dem zweiten Knoten K1, K2 anliegenden Signalwerte die Signalwerte des dritten und des vierten Knotens K3, K4 gesetzt werden. D.h. mit der steigenden Flanke des Taktsignals CLK werden der vierte taktgesteuerte Inverter 9 und der neunte taktgesteuerte Inverter 15 aktiviert, so dass an deren Signalausgängen nun die komplementären Signalpegel des ersten und des zweiten Knotens K1, K2 anliegen.

Ein an dem Dateneingang 3 anliegendes Datensignal D wird mit einer fallenden Flanke des Taktsignals CLK in das erste Halteelement 1b übernommen, so dass der invertierte Signalwert des Datensignals D an dem zweiten Knoten K2 und der nicht-invertierte Signalwert des Datensignals D an dem ersten Knoten K1 anliegt. Mit der steigenden Flanke des Taktsignals CLK wird der erste taktgesteuerte Inverter 5 deaktiviert und der zweite taktgesteuerte Inverter 7 aktiviert, so dass die erste Rückkopplungsschleife 6 den von dem Datensignal D vorgegebenen Signalwert speichert.

Mit der steigenden Flanke des Taktsignals CLK werden die Zustandspegel des ersten Knotens K1 und des zweiten Knotens K2 in das sechste Halteelement 2b übernommen, so dass der dritte Knoten K3 den invertierten Zustandspegel des zweiten Knotens K2 und der vierte Knoten K4 den invertierten Zustandspegel des ersten Knotens K1 übernimmt. Mit der darauf folgenden fallenden Flanke des Taktsignals CLK werden der vierte taktgesteuerte Inverter 9 und der neunte taktgesteuerte Inverter 15 deaktiviert und der fünfte taktgesteuerte Inverter 11 und der sechste taktgesteuerte Inverter 12' aktiviert, so dass die durch die beiden Inverter 11, 12' gebildete Rückkopplungsschleife die Zustandspegel des dritten Knotens K3 und des vierten Knotens K4 speichert.

Sobald der taktgesteuerte vierte Inverter 9 und der taktgesteuerte neunte Inverter 15 aktiviert werden, liegt an den Knoten K3 der Signalwert des Datensignals D und an dem Knoten K4 der invertierte Signalwert des Datensignals D an. Der siebte Inverter 13 ist mit dem dritten Knoten K3 verbunden und an seinem Ausgang ist somit das invertierte Ausgangssignal QN abgreifbar. Mit dem vierten Knoten K4 ist der achte Inverter 14 verbunden, so dass an seinem Ausgang das nicht-invertierte Ausgangssignal Q abgreifbar ist.

35

Die Zeitdauer, nach der der Signalwert des Datensignals D an den Ausgängen Q, QN anliegt, wird im wesentlichen durch die

steigende Taktflanke und den am Eingang des sechsten Halte-
elements 2b befindlichen vierten taktgesteuerten Inverters 9
bzw. neunten taktgesteuerten Inverters 15 sowie durch den
siebten Inverter 13 und den achten Inverter 14 bestimmt. Die
5 Rückkopplungsschleifen können mit kleinen d. h. leistungs-
schwachen Transistoren realisiert werden, d.h. die Transisto-
ren des zweiten taktgesteuerten Inverters 7 und des dritten
Inverter 8 im ersten Halteelement als auch des fünften und
des sechsten taktgesteuerten Inverters 11, 12', im zweiten
10 Halteelement. Dabei ist jedoch zu beachten, dass der dritte
Inverter 8 im fünften Halteelement 1b im Wesentlichen die Se-
tup-Zeit des D-Flipflops bestimmt. Der dritte Inverter 8 ist
daher so zu wählen, dass er die Eingänge des zweiten taktge-
steuerten Inverter 7 und des vierten taktgesteuerten Inver-
15 ters 9 treiben kann, ohne dass die Setup-Zeit zu groß wird.

In Fig. 4 ist ein D-Flipflop nach einer zweiten Ausführungs-
form dargestellt. Das D-Flipflop weist eine asynchrone Rück-
setzfunktion auf, und umfaßt aus diesem Grunde einen Rück-
20 setzeingang R. Das an den Rücksetzeingang anzulegende Rück-
setzsignal ist als Low-active-Signal anzulegen, d.h. das
Rücksetzen des D-Flipflops wird durchgeführt, wenn das Rück-
setzsignal R einen Low-Zustand angenommen hat.

25 Ein siebtes Halteelement 1c entspricht im wesentlichen dem
dritten Halteelement 1a gemäß dem in Fig. 2 angegebenen Flip-
flop nach dem Stand der Technik. Das siebte Halteelement 1c
ist mit einem achten Halteelement 2c entsprechend der ersten
Ausführungsform der Erfindung über die Verbindungen zwischen
30 dem ersten und zweiten Knoten K1, K2 des siebten Halteelements
1c und dem dritten und vierten Knoten des achten Halteelement
2c gekoppelt.

Das achte Halteelement 2c weist ebenfalls den fünften takt-
35 gesteuerten Inverter 9 und den neunten taktgesteuerten Inver-
ter 15 auf, die jeweils den Signalwert von dem ersten Knoten

K1 bzw. dem zweiten Knoten K2 mit einer steigenden Flanke des Taktsignals in das achte Halteelement 2c übernehmen.

Das achte Halteelement 2c weist eine dritte Rückkopplungsschleife 16 auf, die ein partiell getaktetes Nicht-Oder-Gatter 17 und ein partiell getaktetes Nicht-Und-Gatter 18 umfaßt. Das partiell getaktete Nicht-Oder-Gatter 17 ist mit seinem ersten Signaleingang mit dem Signalausgang des fünften taktgesteuerten Inverters 9 verbunden. Das partiell getaktete Nicht-Oder-Gatter 17 weist einen zweiten Signaleingang auf, an dem ein invertiertes Rücksetzsignal /R angelegt wird. Der Signalausgang des Nicht-Oder-Gatters 17 ist ebenso wie der Signalausgang des neunten getakteten Inverters 15 mit einem ersten Signaleingang des Nicht-Und-Gatters 18 verbunden. Diese stellen den dritten Knoten K3 dar. Ein zweiter Signaleingang des Nicht-Und-Gatters 18 ist mit dem Rücksetzsignal R verbunden, das vorzugsweise durch eine erneute Invertierung des bereits invertierten Rücksetzsignals /R gebildet werden kann. Ein Signalausgang des Nicht-Und-Gatters 18 ist mit dem ersten Signaleingang des Nicht-Oder-Gatters 17 verbunden. Die Signalausgänge des fünften taktgesteuerten Inverters 9 und des Nicht-Und-Gatters 18 sowie der erste Signaleingang des Nicht-Oder-Gatters 17 bilden den vierten Knoten K4.

Über den siebten Inverter 13 wird das invertierte Ausgangssignal von den Knoten K3 und mit Hilfe des achten Inverters 14 das nicht-invertierte Ausgangssignal über den Knoten K4 abgegriffen.

Sowohl das Nicht-Oder-Gatter 17 als auch das Nicht-Und-Gatter 18 sind partiell getaktete Gatter. D.h. bezüglich des jeweils ersten Signaleingangs arbeitet das Gatter während eines ersten Zustandes des Taktsignals wie ein entsprechendes nicht-getaktetes logische Gatter, während bei einem zweiten Zustand des Taktsignals CLK das Gatter in einen Tristate-Modus schaltet, so dass der Signalausgang des jeweiligen Gatters hochohmig wird.

Aufgrund der partiellen Taktung des Nicht-Oder-Gatters 17 und des Nicht-Und-Gatters 18 ist nur die logische Verarbeitung des Signals am jeweils ersten Eingang vom Taktsignal abhängig, während das angelegte Rücksetzsignal R an dem jeweils zweiten Signaleingang unmittelbar eine Änderung der Signalausgänge bewirkt, d.h. unabhängig von dem Taktsignal CLK.

In Fig. 5 ist das D-Flipflop gemäß der Ausführungsform nach Fig. 4 dargestellt, wobei die Transistorschaltungen bezüglich des Nicht-Oder-Gatters 17 und des Nicht-Und-Gatters 18 dargestellt sind. Das Nicht-Oder-Gatter 17 weist drei in Serie geschaltete p-Kanal-Transistoren, den ersten p-Kanal-Transistor P1, den zweiten p-Kanal-Transistor P2 und den dritten p-Kanal-Transistor P3, auf.

Ein erster Anschluss des ersten p-Kanal-Transistors P1 ist mit einer Versorgungsspannung VDD verbunden. Ein zweiter Anschluss des ersten p-Kanal-Transistors P1 ist mit einem ersten Anschluss des zweiten p-Kanal-Transistors P2 und ein zweiter Anschluss des zweiten p-Kanal-Transistors P2 mit einem ersten Anschluss des dritten p-Kanal-Transistors P3 verbunden. Das Nicht-Oder-Gatter 17 weist weiterhin drei n-Kanal-Transistoren, einen ersten n-Kanal-Transistor N1, einen zweiten n-Kanal-Transistor N2 und einen dritten n-Kanal-Transistor N3, auf. Ein zweiter Anschluss des dritten p-Kanal-Transistors P3 ist mit dem dritten Knoten K3 und mit einem ersten Anschluss des ersten n-Kanal-Transistors N1 verbunden. Ein zweiter Anschluss des ersten n-Kanal-Transistors N1 ist mit einem ersten Anschluss des zweiten n-Kanal-Transistors N2 und ein zweiter Anschluss des zweiten n-Kanal-Transistors N2 ist mit einem Massepotential GND verbunden. Ein erster Anschluss des dritten n-Kanal-Transistors N3 ist mit dem dritten Knoten K3 und ein zweiter Anschluss des dritten n-Kanal-Transistors N3 ist mit dem Massepotential GND verbunden.

An einen Steuereingang des ersten p-Kanal-Transistors P1 ist das Taktsignal CLK angelegt. An den Steuereingang des zweiten p-Kanal-Transistors P2 ist das invertierte Rücksetzsignal /R angelegt. Der Steuereingang des dritten p-Kanal-Transistors P3 und der Steuereingang des zweiten n-Kanal-Transistors N2 sind mit dem vierten Knoten K4, d.h. mit dem Signalausgang des fünften taktgesteuerten Inverters 9 verbunden. An einen Steuereingang des ersten n-Kanal-Transistors N1 ist das invertierte Taktsignal /CLK angelegt. Der Steuereingang des dritten n-Kanal-Transistors N3 ist ebenfalls mit dem invertierten Rücksetzsignal /R verbunden.

Ein so aufgebautes Nicht-Oder-Gatter bewirkt, dass bei einem aktiven Rücksetzsignal R, d.h. das Rücksetzsignal R nimmt einen Low-Pegel an, der dritte n-Kanal-Transistor N3 durchgeschaltet wird, so dass der dritte Knoten K3 auf ein Massepotential GND gezogen wird. Dies erfolgt unabhängig von dem Taktsignal CLK. Liegt das Rücksetzsignal R nicht an, so arbeitet das Nicht-Oder-Gatter 17 entsprechend einem taktgesteuerten Inverter, wobei im wesentlichen die Funktion des sechsten taktgesteuerten Inverters 12' gemäß der ersten Ausführungsform nachgebildet wird. D.h. es wird der Signalwert an dem vierten Knoten K4 invertiert, sobald das Taktsignal CLK einen Low-Pegel angenommen hat. Solange das Taktsignal CLK auf einem High-Pegel liegt, ist der Inverter hochohmig geschaltet, so dass an dem dritten Knoten K3 kein Signal über das Nicht-Oder-Gatter 17 angelegt wird.

Das Nicht-Und-Gatter 18 weist drei p-Kanal-Transistoren, einen vierten p-Kanal-Transistor P4, einen fünften p-Kanal-Transistor P5 und einen sechsten p-Kanal-Transistor P6 auf. Es weist weiterhin einen vierten n-Kanal-Transistor N4, einen fünften n-Kanal-Transistor N5 und einen sechsten n-Kanal-Transistor N6 auf. Ein Anschluss des vierten p-Kanal-Transistors P4 ist mit dem Versorgungsspannungspotential VDD verbunden, ein zweiter Anschluss des vierten p-Kanal-Transistors P4 ist mit einem ersten Anschluss des fünften p-Kanal-

Transistors P5 und ein zweiter Anschluss des p-Kanal-Transistors P5 ist mit dem vierten Knoten K4 verbunden. Ein erster Anschluss des sechsten p-Kanal-Transistors P6 ist mit dem Versorgungsspannungspotential VDD und ein zweiter Anschluss des sechsten p-Kanal-Transistors P6 mit dem vierten Knoten K4 verbunden. Ein erster Anschluss des vierten N-Kanal-Transistors N4 ist mit dem vierten Knoten, ein zweiter Anschluss des vierten n-Kanal-Transistors N4 mit einem ersten Anschluss des fünften n-Kanal-Transistors N5, ein zweiter Anschluss des fünften n-Kanal-Transistors N5 mit einem ersten Anschluss des sechsten n-Kanal-Transistors N6 und ein zweiter Anschluss des sechsten n-Kanal-Transistors N6 mit einem Massepotential GND verbunden.

Ein Steuereingang des vierten p-Kanal-Transistors P4 ist mit dem Takteingang verbunden. Ein Steuereingang des fünften p-Kanal-Transistors P5 und ein Steuereingang des sechsten n-Kanal-Transistors N6 sind mit dem dritten Knoten K3 verbunden. Steuereingänge des sechsten p-Kanal-Transistors P6 und des fünften n-Kanal-Transistors N5 sind mit dem Rücksetzsignal R verbunden. Ein Steuereingang des vierten n-Kanal-Transistors N4 ist mit dem invertierten Taktsignal /CLK verbunden.

Das Nicht-Und-Gatter 18 arbeitet wie folgt: Liegt ein aktives Rücksetzsignal R an, so wird der sechste p-Kanal-Transistor P6 durchgeschaltet, unabhängig von dem anliegenden Taktsignal CLK. Liegt kein aktives Rücksetzsignal R an, so bilden der fünfte P-Kanal-Transistor P5 und der sechste n-Kanal-Transistor N6 einen taktgesteuerten Inverter bezüglich des an dem dritten Knoten K3 anliegenden Signalwertes. Der Inverter ist im Low-Zustand des Taktsignals CLK durchgeschaltet und bei einem High-Zustand des Taktsignals CLK gesperrt, so dass an den vierten Knoten K4 kein Signal durch das Nicht-Und-Gatter 18 angelegt wird.

Allgemein läßt sich die Funktion des Nicht-Oder-Gatters 17 bzw. des Nicht-Und-Gatters 18 beschreiben, dass sie wie die getakteten Inverter, den fünften taktgesteuerten Inverter 11 und den sechsten getakteten Inverter 12' gemäß der ersten Ausführungsform arbeiten, wenn das Rücksetzsignal R auf einem High-Pegel, d.h. mit nicht aktivierter Rücksetzfunktion, liegt. Die Gatter sind so geschaltet, dass sie bei einem High-Zustand des Taktsignals CLK in einen Tristate-Modus geschaltet sind, so dass keine Rückkopplung stattfindet. Die Gatter werden aktiv, wenn das Taktsignal CLK in einen Low-Zustand übergeht.

In Fig. 6 ist eine ähnliche Schaltung wie in Fig. 5 dargestellt, wobei in dem Nicht-Oder-Gatter 17 der erste p-Kanal-Transistor P1 und in dem Nicht-Und-Gatter 18 der vierte p-Kanal-Transistor P4 weggelassen sind. Da die Rückkopplungen mit minimalen Transistoren realisiert werden, ist die Pull-up-Fähigkeit der Rückkopplungen gering. Bei Technologien mit schwachen p-Kanal-Transistoren, wie z.B. EDRAM-Technologien, besteht daher die Möglichkeit, in Abhängigkeit von der Verzögerung, der Fläche und dem Aufwand beim Layout auf die Taktung der Pull-up-Zweige in der Rückkopplung des zweiten Haltelements zu verzichten, da gegebenenfalls die Pull-down-Fähigkeit der getakteten Inverter am Eingang des zweiten Haltelements, nämlich des fünften getakteten Inverters 9 und des neunten getakteten Inverters 15 für ein hinreichend schnelles Schalten auch ohne diese Taktung genügt. Die Erhöhung der Verzögerung zwischen dem Taktsignal CLK und dem invertierten Ausgangssignal ist dabei äußerst gering, wogegen gegebenenfalls die Fläche der Schaltung deutlich reduziert werden kann.

In Fig. 7 ist eine weitere Verbesserung des Flipflops nach der ersten Ausführungsform dargestellt, wie in Fig. 3 gezeigt.

Die Kopplung des zweiten Knotens K2 mit dem dritten Knoten K3 erfolgt nicht nur ausschließlich über den neunten taktgesteuerten Inverter 15 sondern auch über ein permanent durchgeschaltetes Transmissionsgatter 19. Das Transmissionsgatter 19 bewirkt, dass das am zweiten Knoten K2 anliegende Signal im wesentlichen etwas verzögert an den Eingang des neunten Transistors 15 angelegt wird. Dies hilft, da mit einer fallenden Taktflanke das invertierte Datensignal D vom Signalausgang des ersten taktgesteuerten Inverters 5 sehr schnell an den zweiten Knoten K2 anliegt. Dies kann zur Folge haben, dass, wenn der neunte taktgesteuerte Inverter 15 nicht ausreichend schnell von dem Invertermodus in den Tristate-Modus schaltet, das invertierte Datensignal vom zweiten Knoten K2 bereits mit der fallenden Flanke des Taktsignals CLK in den dritten Knoten K3 übernommen wird und einen instabilen Zustand in der zweiten Rückkopplungsschleife bewirkt. Dies ist nicht erwünscht, da bei einem synchronen Flipflop dieser Art das Ausgangssignal erst mit der steigenden Flanke in das zweite Halteelement übernommen werden soll. Das Transmissionsgatter 19 bewirkt nun eine geringe Verzögerung der Signallaufzeit zwischen dem zweiten Knoten K2 und dem Signaleingang des neunten taktgesteuerten Inverters 15, so dass dieser Inverter 15 ausreichend Zeit zur Verfügung hat, in den Tristate-Modus zu schalten.

In der Fig. 8 wird ein Flipflop, ähnlich der Ausführungsform nach Fig. 4, dargestellt, bei dem durch eine Entkopplungsschaltung gewährleistet wird, dass in die Knoten der zweiten Rückkopplungsschleife nicht jeweils gleiche Signalwert eingeschrieben werden. Dazu ist der zweite Knoten K2 über ein zweites Transmissionsgatter 20 mit dem Signaleingang des neunten taktgesteuerten Inverters 15 verbunden. Das Transmissionsgatter 20 ist durch das Rücksetzsignal gesteuert, so dass nur bei einem deaktivierten Rücksetzsignal R das Transmissionsgatter durchlässig ist. Liegt ein aktives Rücksetzsignal R an, sperrt das Transmissionsgatter 20.

Ebenfalls mit dem Signaleingang des neunten taktgesteuerten Inverters 15 ist ein Signalausgang eines zehnten gesteuerten Inverters 21 verbunden, dessen Signaleingang mit dem ersten Knoten K1 verbunden ist. Der zehnte Inverter 21 ist über das Rücksetzsignal R gesteuert, und arbeitet als Inverter, wenn das Rücksetzsignal R aktiviert ist, d.h. sich in einem Low-Zustand befindet.

Bei einem aktivierten Rücksetzsignal R wird diese Rückkopplung des zweiten Knotens K2 auf den Signaleingang des neunten taktgesteuerten Inverters unterbrochen. Statt dessen wird die Rückkopplung durch den zehnten gesteuerten Inverter 21 ersetzt, der bei dem aktivierten Rücksetzsignal R funktionsfähig ist.

Durch das Transmissionsgatter 20 kann vermieden werden, dass bei einer Signaländerung des Datensignals D von einem Low-Pegel auf einen High-Pegel während eines Low-Pegels des Taktsignals, d.h. von einem High-Pegel auf einen Low-Pegel des Signalpegels des zweiten Knotens K2, der Signaleingang des neunten taktgesteuerten Inverters 15 kurz oder im wesentlichen gleichzeitig mit dem Anlegen eines Rücksetzsignals R ebenfalls auf einen Low-Pegel gezogen wird. Dies würde dazu führen, dass der dritte Knoten K3 und der vierte Knoten K4 im zweiten Halteelement jeweils mit einem High-Zustand belegt werden würden, was zu einem unerlaubten Zustand führen würde. Durch das Einführen des zehnten gesteuerten Inverters 21 wird der Signaleingang des neunten taktgesteuerten Inverters 15 auf den benötigten Signalwert gesetzt, wenn ein Rücksetzsignal R aktiviert worden ist.

Anstelle des zehnten Inverters 21 kann auch ein einzelner, vom Rücksetzsignal R gesteuerter Transistor (nicht gezeigt) vorgesehen sein, der bei aktiviertem Rücksetzsignal ein High-Potential an den Eingang des neunten taktgesteuerten Inverters 15 anlegt.

Selbstverständlich lassen sich hier auch weitere Möglichkeiten der Realisierung, z.B. mit einem Und-Gatter oder ähnlichem vorsehen. Das Prinzip besteht darin, die negativen Wirkungen einer Signaländerung am Dateneingang 3 während oder in
5 zeitlicher Nähe zu einer Aktivierung des Rücksetzsignals R zu vermeiden.

Die verschiedenen Ausgestaltungen des ersten Halteelements und die verschiedenen Ausgestaltungen des zweiten Halteele-
10 ments lassen sich in beliebiger Kombination miteinander verbinden, da diese sich gegenseitig nicht ausschließen.

Patentansprüche

1. Flipflop mit einem Takteingang (4) zum Anlegen eines Taktsignals (CLK), einem Dateneingang (3) zum Anlegen eines Datensignals (D), einem nicht-invertierendem Ausgang (Q) und einem invertierendem Ausgang (QN), wobei das Flipflop ein erstes Halteelement (1b, 1c) mit einer ersten Rückkopplungsschleife (6) und ein zweites Halteelement (2b, 2c) mit einer zweiten Rückkopplungsschleife (10) aufweist,
- wobei die erste und die zweite Rückkopplungsschleife (6,10) jeweils einen ersten Knoten (K1) und einen zweiten Knoten (K2) aufweist,
- wobei das erste Halteelement (1b, 1c) so gestaltet ist, dass bei einem ersten Taktpegel des Taktsignals (CLK) der logische Wert des Datensignals (D) in das erste Halteelement (1b, 1c) übernommen wird und der logische Wert des Datensignals (D) an dem ersten Knoten (K1) der ersten Rückkopplungsschleife (6) zur Verfügung gestellt wird,
- wobei der erste Knoten (K1) der ersten Rückkopplungsschleife (6) mit dem ersten Knoten (K1) der zweiten Rückkopplungsschleife (10) gekoppelt ist, um den an dem ersten Knoten (K1) der ersten Rückkopplungsschleife (6) anliegenden Signalwert bei einem zweiten Taktpegel des Taktsignals in das zweite Halteelement (2b, 2c) zu übernehmen und den Signalwert an dem nicht-invertierendem Ausgang (Q) auszugeben, dadurch gekennzeichnet, dass
- der zweite Knoten (K2) der ersten Rückkopplungsschleife (6) mit dem zweiten Knoten (K3) der zweiten Rückkopplungsschleife (10) gekoppelt ist, um den an dem zweiten Knoten (K2) der ersten Rückkopplungsschleife (6) anliegenden invertierten Signalwert bei dem zweiten Taktpegel des Taktsignals (CLK) in das zweite Halteelement (2b, 2c) zu übernehmen,
- wobei der zweite Knoten (K2) der zweiten Rückkopplungs-

schleife (10) dem nicht-invertierenden Ausgang und der erste Knoten (K1) der zweiten Rückkopplungsschleife dem invertierendem Ausgang entspricht.

- 5 2. Flipflop nach Anspruch 1, dadurch gekennzeichnet, dass
die erste und/oder die zweite Rückkopplungsschleife
(6,10) gegengekoppelte Inverterschaltungen aufweist.
- 10 3. Flipflop nach Anspruch 1 oder 2, dadurch gekennzeichnet,
dass eine durch den ersten Taktpegel und den zweiten
Taktpegel gebildete erste Taktflanke und eine zweite
Taktflanke entgegengesetzt zueinander gerichtet
sind.
- 15 4. Flipflop nach einem der Ansprüche 1 bis 3, dadurch gekennzeichnet,
dass zum Übernehmen des Datensignals (D) in das erste Halteelement (1b, 1c) ein erster Inverter
vorgesehen ist, der bei dem ersten Taktpegel das Datensignal (D) invertiert an die erste Rückkoppelschleife
20 (6) durchlässt und bei dem zweiten Taktpegel sperrt.
- 25 5. Flipflop nach einem der Ansprüche 1 bis 4, dadurch gekennzeichnet,
dass die ersten Knoten der Rückkopplungsschleifen und die zweiten Knoten der Rückkopplungsschleifen
jeweils über zweite taktgesteuerte Inverter (9,15) gekoppelt sind, die bei dem zweiten Taktpegel
den jeweiligen Signalwert an den ersten und zweiten
Knoten (K3,K4) der zweiten Rückkopplungsschleife (10)
durchlassen und bei dem ersten Taktpegel sperren.
- 30 6. Flipflop nach einem der Ansprüche 1 bis 5, dadurch gekennzeichnet,
dass ein Rücksetzeingang vorgesehen ist, an dem ein Rücksetzsignal (R) anlegbar ist, wobei die
zweite Rückkopplungsschleife (10) ein Nicht-Oder-Gatter
35 (17) aufweist, an dessen einem Eingang das Rücksetzsignal (R) angelegt ist.

7. Flipflop nach Anspruch 6, dadurch gekennzeichnet, dass die zweite Rückkopplungsschleife (10) ein Nicht-Und-Gatter (15) aufweist, an dessen einem Eingang das Rücksetzsignal (R) angelegt ist.

8. Flipflop nach Anspruch 6 oder 7, dadurch gekennzeichnet, dass das Nicht-Oder-Gatter (17) und/oder das Nicht-Und-Gatter (18) partiell getaktet sind.

9. Flipflop nach einem der Ansprüche 1 bis 8, dadurch gekennzeichnet, dass der erste Knoten (K1) der ersten Rückkopplungsschleife und der erste Knoten (K4) der zweiten Rückkopplungsschleife und/oder der zweite Knoten (K2) der ersten Rückkopplungsschleife (6) und der zweite Knoten (K3) der zweiten Rückkopplungsschleife (10) zusätzlich über ein Transmissionsgatter (19) gekoppelt sind.

10. Flipflop nach einem der Ansprüche 1 bis 9, dadurch gekennzeichnet, dass die erste Rückkopplungsschleife (6) ein Nicht-Oder-Gatter (22) aufweist, so dass am zweiten Knoten (K2) eine logische „1“ anliegt, sobald ein Rücksetzsignal (R) aktiviert ist.

11. Flipflop nach Anspruch 10, dadurch gekennzeichnet, dass zwischen dem zweiten Knoten (K2) und dem ersten Knoten (K1) der ersten Rückkopplungsschleife ein Entkoppelschaltung angeordnet ist, um bei einem aktivierten Rücksetzsignal (R) den zweiten Knoten (K2) der ersten Rückkopplungsschleife (6) vom dem zweiten Knoten (K3) der zweiten Rückkopplungsschleife (10) zu trennen und eine logische „0“ an den ersten Knoten (K4) der zweiten Rückkopplungsschleife anzulegen.

12. Flipflop nach Anspruch 11, dadurch gekennzeichnet, dass die Entkoppelschaltung ein durch das Rücksetzsignal

schaltbares Transmissionsgatter (20) und/oder einen durch das Rücksetzsignal gesteuerten Inverter (21) aufweist.

Zusammenfassung

D-Flipflop

5 Flipflop mit einem Takteingang zum Anlegen eines Taktsignals, einem Dateneingang zum Anlegen eines Datensignals, einem nicht-invertierendem Ausgang und einem invertierendem Ausgang, wobei das Flipflop ein erstes Halteelement mit einer ersten Rückkopplungsschleife und ein zweites Halteelement mit
10 einer zweiten Rückkopplungsschleife aufweist, wobei die erste und die zweite Rückkopplungsschleife jeweils einen ersten Knoten und einen zweiten Knoten aufweist, wobei das erste Halteelement so gestaltet ist, dass mit einer ersten Taktflanke des Taktsignals der logische Wert des Datensignals in
15 das erste Halteelement übernommen wird und der logische Wert des Datensignals an dem ersten Knoten der ersten Rückkopplungsschleife zur Verfügung gestellt wird, wobei der erste Knoten der ersten Rückkopplungsschleife mit dem ersten Knoten der zweiten Rückkopplungsschleife gekoppelt ist, um den an
20 dem ersten Knoten der ersten Rückkopplungsschleife anliegenden Signalwert mit einer zweiten Taktflanke des Taktsignals in das zweite Halteelement zu übernehmen und den Signalwert an dem nicht-invertierendem Ausgang auszugeben, dadurch gekennzeichnet, dass der zweite Knoten der ersten Rückkopplungsschleife mit dem zweiten Knoten der zweiten Rückkopplungsschleife gekoppelt ist, um den an dem zweiten Knoten der
25 ersten Rückkopplungsschleife anliegenden invertierten Signalwert mit der zweiten Taktflanke des Taktsignals in das zweite Halteelement zu übernehmen, wobei der zweite Knoten der zweiten Rückkopplungsschleife dem nicht-invertierenden Ausgang und der erste Knoten der zweiten Rückkopplungsschleife dem invertierenden Ausgang entspricht.

30

Bezugszeichenliste

	1	erstes Halteelement
	2	zweites Halteelement
5	1a	drittes Halteelement
	2a	viertes Halteelement
	1b	fünftes Halteelement
	2b	sechstes Halteelement
	1c	siebtes Halteelement
10	2c	achtes Halteelement
	3	Dateneingang
	4	Takteingang
	5	Erster taktgesteuerter Inverter
	6	Erste Rückkopplungsschleife
15	7	Zweiter taktgesteuerter Inverter
	8	Dritter Inverter
	9	Vierter taktgesteuerter Inverter
	10	Zweite Rückkopplungsschleife
	11	Fünfter taktgesteuerter Inverter
20	12	Sechster Inverter
	13	Siebter Inverter
	14	Achter Inverter
	15	Neunter taktgesteuerter Inverter
	16	Dritte Rückkopplungsschleife
25	17	Partiell getaktetes Nicht-Oder-Gatter
	18	Partiell getaktetes Nicht-Und-Gatter
	19	Transmissionsgatter
	20	Zweites Transmissionsgatter
	21	Zehnter gesteuerter Inverter
30	22	Erstes Nicht-Oder-Gatter
	K1	erster Knoten
	K2	zweiter Knoten
	K3	dritter Knoten
	K4	vierter Knoten
35	VDD	Versorgungsspannungspotential
	CLK	Taktsignal
	/CLK	invertiertes Taktsignal

	D	Setzsignal
	Q	nicht-invertierter Ausgang
	QN	invertierter Ausgang
	R	Rücksetzsignal
5	/R	invertiertes Rücksetzsignal

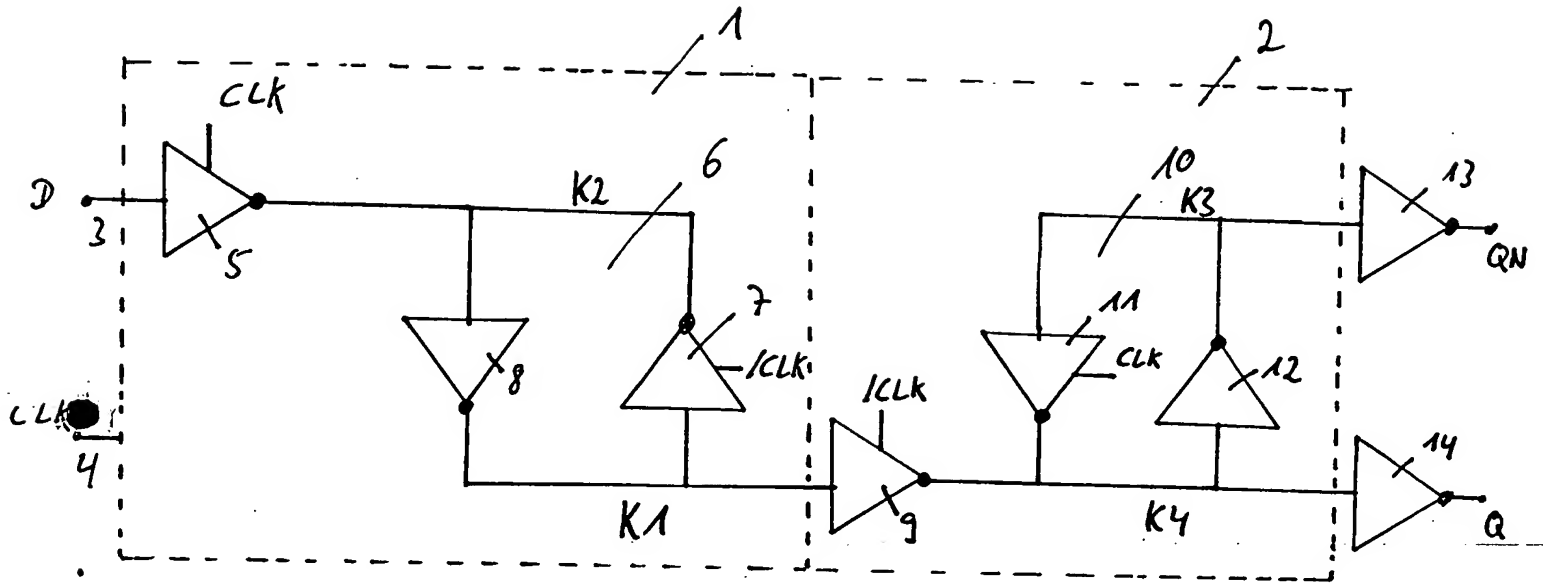
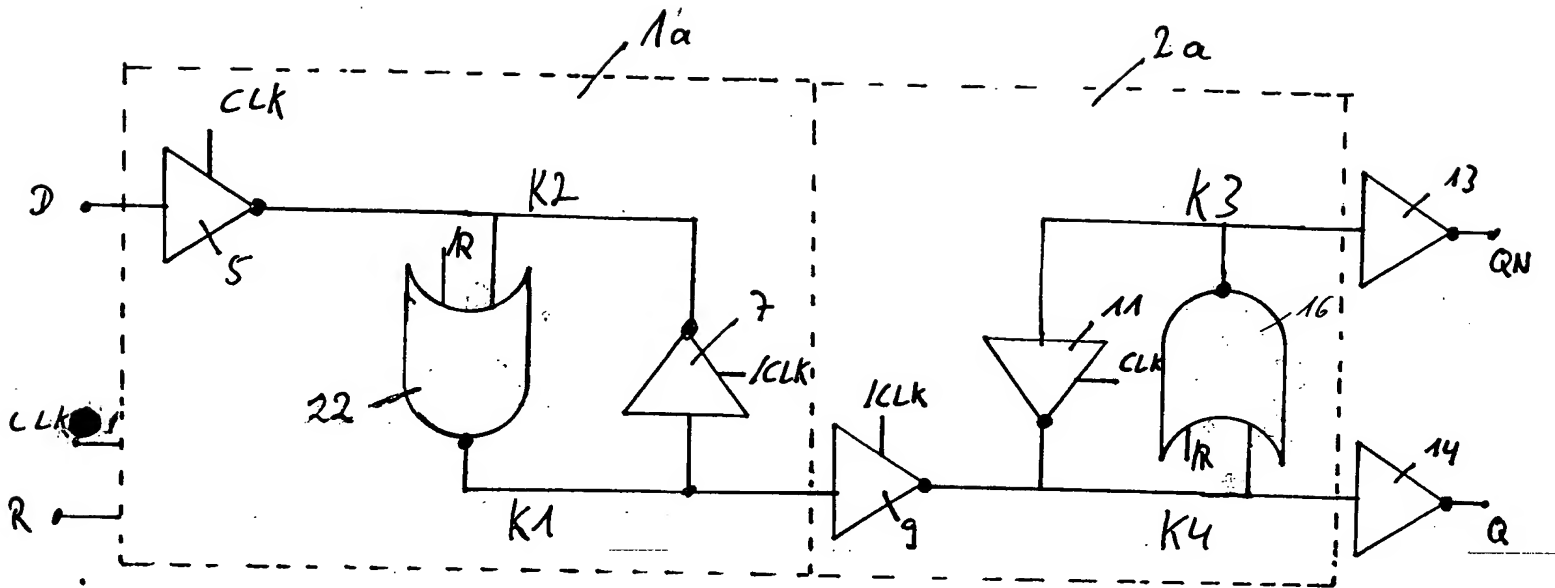
$\frac{1}{8}$ 

Fig. 1

$$2/8$$


3/8

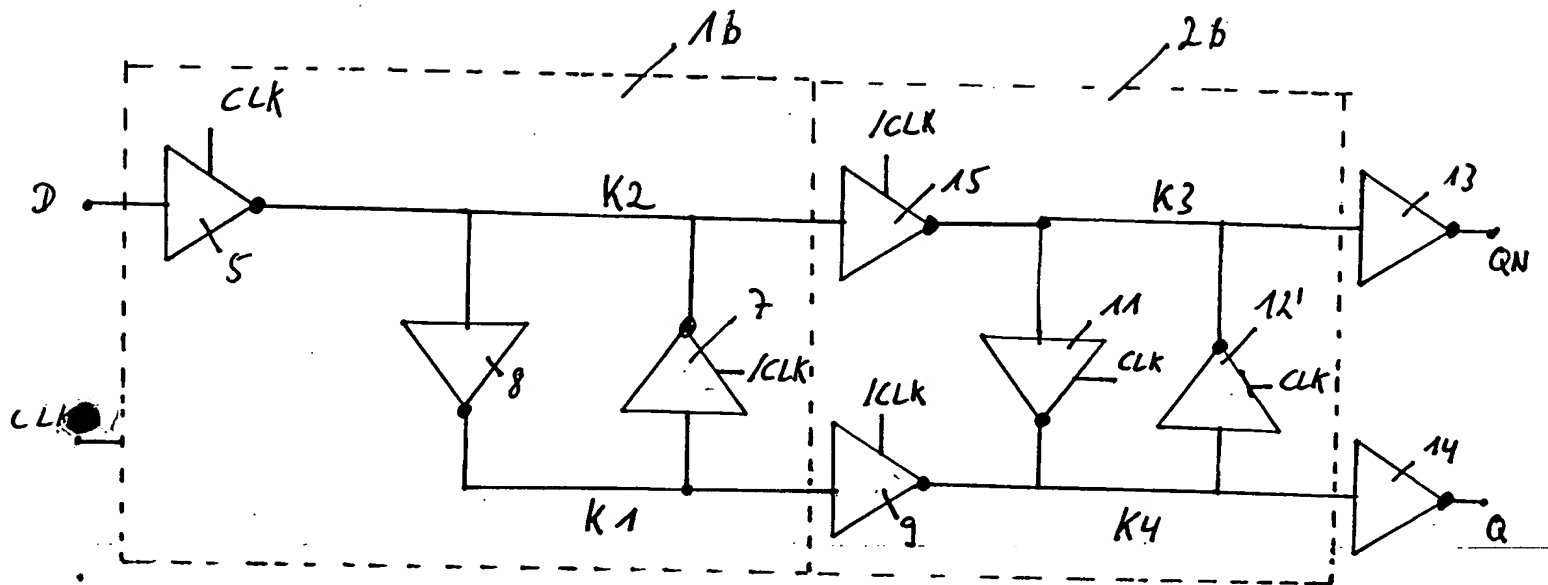


Fig. 3

4/8

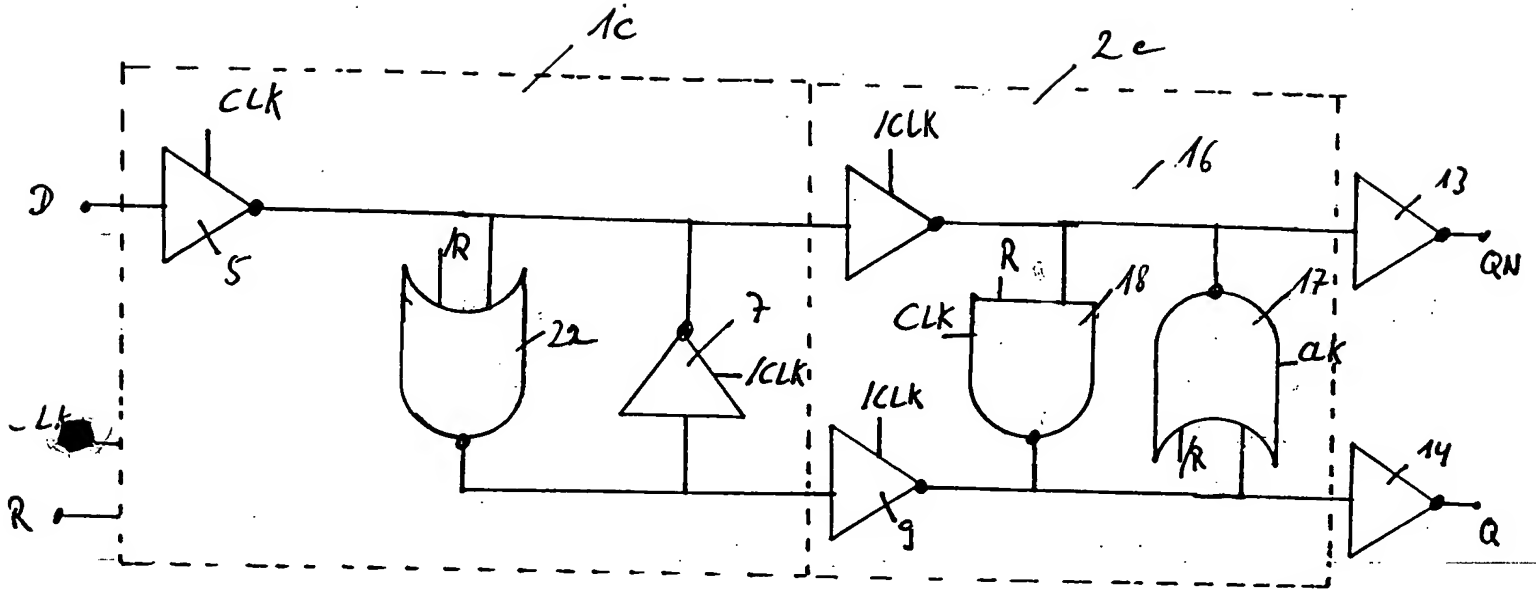


Fig. 4

5/8

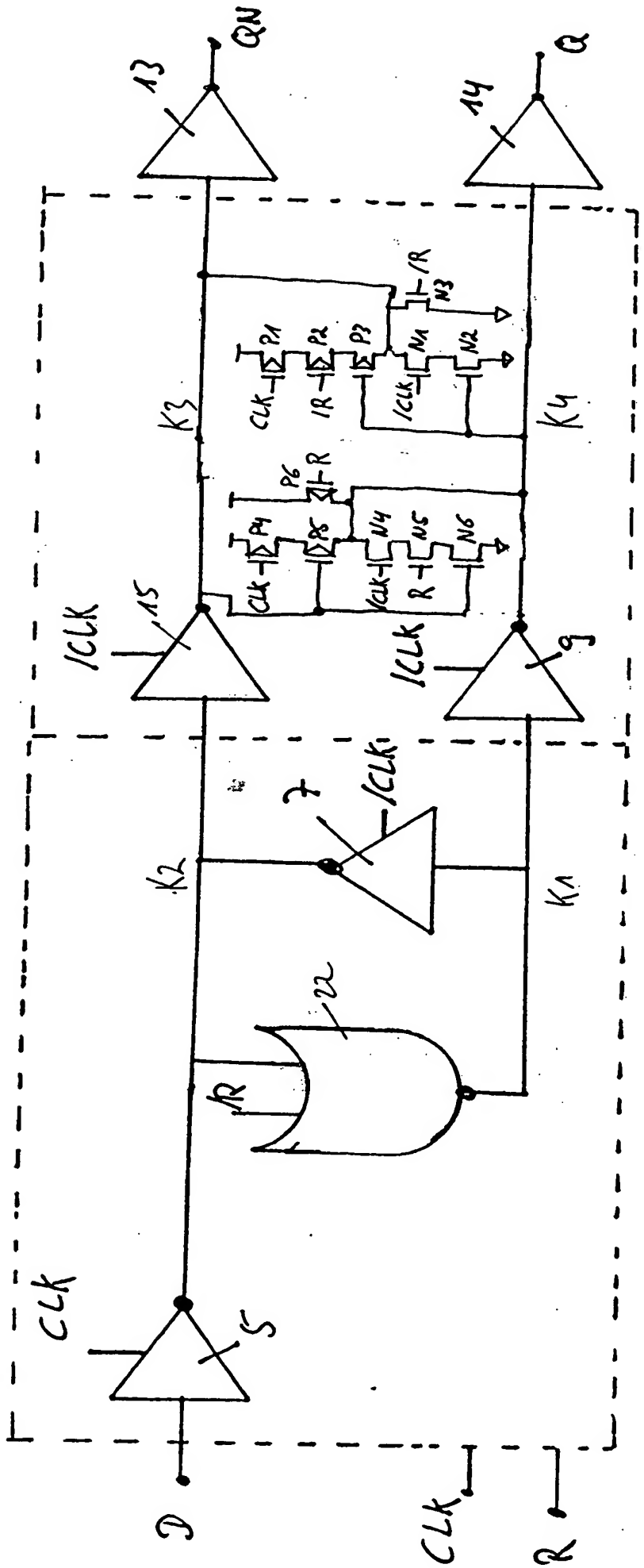


Fig. 5



8/8

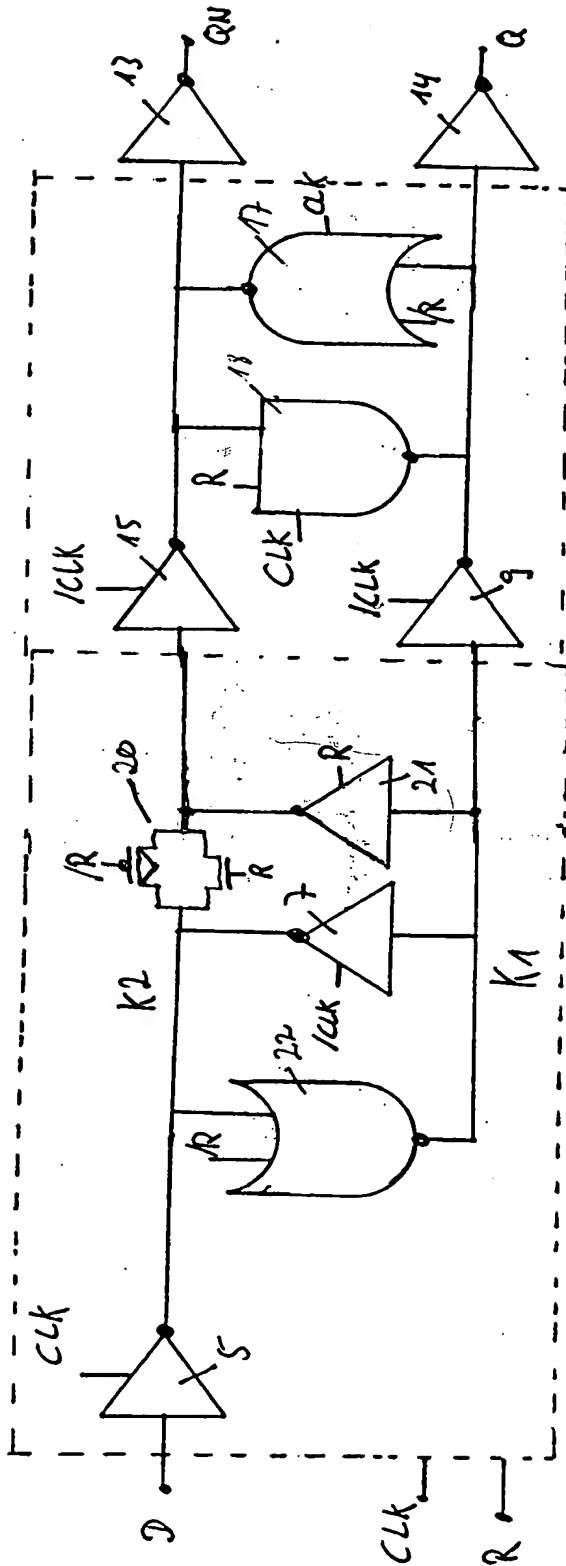


Fig. 8